

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196455

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 21/768

H01L 21/3065

(21)Application number : 2000-328233

(71)Applicant : LUCENT TECHNOLOG INC

(22)Date of filing : 27.10.2000

(72)Inventor : NEISU RAYADI

MERCHANT SAILESH M

MOLLOY SIMON JOHN

ROY PRADIP K

(30)Priority

Priority number : 1999 430226

Priority date : 29.10.1999

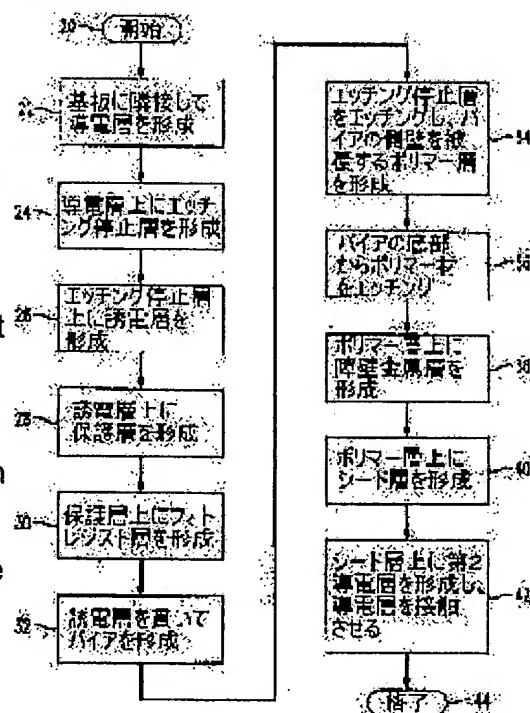
Priority country : US

(54) METHOD OF MANUFACTURING SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of processing steps when manufacturing a semiconductor element having a via, which is formed through a material having a low permittivity.

SOLUTION: A first conductive layer is formed near the substrate, an etching stopping layer is formed on the first conductive layer, and a dielectric layer is formed on the etching stopping layer. The dielectric layer contains a material having a low permittivity, a via is formed through the dielectric layer to expose the etching stopping layer at the bottom, and a perforated sidewall is formed. At the same time, an etching agent is used which acts together with a material etched from the etching stopping layer. Thus, a polymeric layer covering the sidewall having holes of the via is formed to reduce the steps. On a rear sidewall having a polymeric material



etched from the bottom of the via, a barrier metallic layer is formed on the polymeric layer. Further, a seed layer is formed on the barrier metallic layer, and a second conductive layer making contact with the first conductive layer in the via is formed on the seed layer.

LEGAL STATUS

[Date of request for examination] 29.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196455

(P2001-196455A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/90	B
21/3065		21/302	J
		21/90	A
			J

審査請求 未請求 請求項の数32 O L (全 7 頁)

(21)出願番号 特願2000-328233(P2000-328233)

(22)出願日 平成12年10月27日 (2000.10.27)

(31)優先権主張番号 09/430226

(32)優先日 平成11年10月29日 (1999.10.29)

(33)優先権主張国 米国 (US)

(71)出願人 596092698

ルーセント テクノロジーズ インコーポ
レーテッド

アメリカ合衆国, 07974-0636 ニュージ
ャーシー, マレイ ヒル, マウンテン ア
ヴェニュー 600

(72)発明者 ネイス ラヤディ

シンガポール国, シンガポール, オーチャ
ード ターン 11

(74)代理人 100064447

弁理士 岡部 正夫 (外11名)

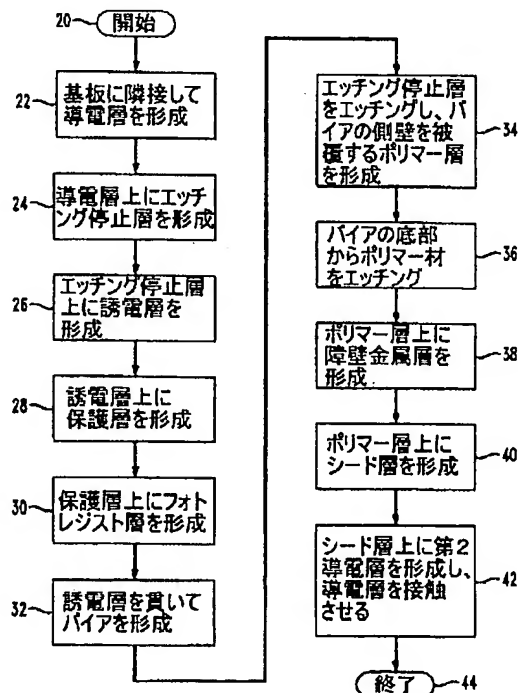
最終頁に続く

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】 (修正有)

【課題】 誘電率が低い材料を貫いて形成されるようなバイアを有する半導体素子の製造時に、加工ステップの数を減らす。

【解決手段】 基板の近傍に第1導電層を形成し、第1導電層上にエッチング停止層を形成して、エッチング停止層上に誘電層を形成する。誘電層は誘電率が低い材料を含み、バイアは誘電層を貫いて形成されて底部でエッチング停止層を露出させ、有孔側壁が形成される。同時にエッチング停止層からエッチングされた材料と協同するエッチング剤を使用するため、バイアの有孔側壁を被覆するポリマー層を形成して工程を減らし得る。ポリマー材料をバイアの底部からエッチングした後側壁に、障壁金属層をポリマー層上に形成し、更に障壁金属層上にシード層を形成し、バイア内の第1導電層に接触する第2導電層をシード層上に形成する。



【特許請求の範囲】

【請求項1】 半導体素子の製造方法であって、基板の近傍に第1導電層を形成するステップと、該第1導電層上にエッチング停止層を形成するステップと、

該エッチング停止層上に誘電層を形成するステップと、該誘電層を貫いてバイアを形成して、底部で前記エッチング停止層を露出させ、有孔側壁を形成するステップと、

前記露出したエッチング停止層をエッチング剤を使用してエッチングし、一方で該エッチング剤が前記エッチング停止層からエッチングされた材料と協同して、前記バイアの前記有孔側壁を被覆するポリマー層を形成するステップと、を含む半導体素子の製造方法。

【請求項2】 前記バイアの底部からポリマー材料をエッチングするステップを更に含む請求項1に記載の方法。

【請求項3】 前記エッチングは異方性エッチングが実施される請求項2に記載の方法。

【請求項4】 前記ポリマー層の厚さは約100nm未満である請求項1に記載の方法。

【請求項5】 前記エッチング剤はモノフルオロメタン、ジフルオロメタン、およびトリフルオロメタンの少なくとも1つを含む請求項1に記載の方法。

【請求項6】 前記エッチング剤は更に、ポリマー層の形成を制御するためにアルゴンと酸素を含んでいる請求項5に記載の方法。

【請求項7】 前記誘電層は誘電率が約4未満である材料を含む請求項1に記載の方法。

【請求項8】 前記エッチング停止層は窒化シリコンを含む請求項1に記載の方法。

【請求項9】 前記第1導電層は銅を含む請求項1に記載の方法。

【請求項10】 前記ポリマー層上に障壁金属層を形成するステップと、

前記障壁金属層上にシード (seed) 層を形成するステップと、前記シード層上に第2導電層を形成し、かつ前記第1導電層と接触させるステップと、を更に含む請求項1に記載の方法。

【請求項11】 前記エッチングは反応性イオン・エッチングを利用して実施される請求項1に記載の方法。

【請求項12】 半導体素子の製造方法であって、基板の近傍に第1導電層を形成するステップと、前記第1導電層上にエッチング停止層を形成するステップと、

該エッチング停止層上に誘電率が約4未満である材料を含む誘電層を形成するステップと、該誘電層を貫いてバイアを形成して、底部で該エッチング停止層を露出させ、有孔側壁を形成するステップと、

該露出したエッチング停止層を前記エッチング剤を使用してエッチングし、一方で該エッチング剤が前記エッチング停止層からエッチングされた材料と協同して、前記バイアの有孔側壁を被覆するポリマー層を形成するステップと、

前記バイアの底部からポリマー材料をエッチングするステップと、を含む半導体素子の製造方法。

【請求項13】 前記バイアの底部からポリマー材料をエッチングするステップは異方性にエッチングするステップである請求項12に記載の方法。

【請求項14】 前記ポリマー層の厚さは約100nm未満であることを特徴とする請求項12に記載の方法。

【請求項15】 前記エッチング剤はモノフルオロメタン、ジフルオロメタン、およびトリフルオロメタンの少なくとも1つを含む請求項12に記載の方法。

【請求項16】 前記エッチング剤は更に、前記ポリマー層の形成を制御するためにアルゴンと酸素を含んでいる請求項15に記載の方法。

【請求項17】 前記エッチング停止層は窒化シリコンを含む請求項12に記載の方法。

【請求項18】 前記第1導電層は銅を含む請求項12に記載の方法。

【請求項19】 前記ポリマー層上に障壁金属層を形成するステップと、

該障壁金属層上にシード層を形成するステップと、該シード層上に第2導電層を形成し、かつ前記第1導電層と接触させるステップと、を更に含む請求項12に記載の方法。

【請求項20】 前記第2導電層は金属プラグを含む請求項19に記載の方法。

【請求項21】 前記第2導電層は銅、アルミニウム、およびその合金のうちの少なくとも1つを含む請求項19に記載の方法。

【請求項22】 前記エッチングは反応性イオン・エッチングを利用して実施される請求項12に記載の方法。

【請求項23】 前記第1導電層上にエッチング停止層を有し、前記第1導電層上に誘電層を有する半導体素子のバイアの有孔側壁上にポリマー層を形成する方法であって、

前記誘電層を貫いてバイアを形成して、底部で前記エッチング停止層を露出させ、有孔側壁を形成するステップと、

前記露出したエッチング停止層をエッチング剤を使用してエッチングし、一方で該エッチング剤が該エッチング停止層からエッチングされた材料と協同して、前記バイアの有孔側壁を被覆するポリマー層を形成するステップと、を含むポリマー層を形成する方法。

【請求項24】 前記バイアの底部からポリマー材料をエッチングするステップを更に含む請求項23に記載の方法。

【請求項25】 前記エッチングは異方性エッチングで実施される請求項23に記載の方法。

【請求項26】 前記ポリマー層の厚さは約100nm未満である請求項23に記載の方法。

【請求項27】 前記エッチング剤はモノフルオロメタン、ジフルオロメタン、およびトリフルオロメタンの少なくとも1つを含む請求項23に記載の方法。

【請求項28】 前記エッチング剤は更に、前記ポリマー層の形成を制御するためにアルゴンと酸素を含んでいる請求項27に記載の方法。

【請求項29】 前記誘電層は誘電率が約4未満である材料を含む請求項23に記載の方法。

【請求項30】 前記エッチング停止層は窒化シリコンを含む請求項23に記載の方法。

【請求項31】 前記第1導電層は銅を含む請求項23に記載の方法。

【請求項32】 前記エッチングは反応性イオン・エッチングを利用して実施される請求項23に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体加工の分野に関し、特に半導体素子の誘電率が低い材料を貫いてバイアを形成する方法に関する。

【0002】

【従来の技術】 半導体素子はサイズが縮小し、複雑さが増し続けてきている。その結果、半導体素子では相互接続線の間隔を極めて密にする必要があり、また、内部に形成された回路を相互接続するための複数の導電層が必要である場合が多い。誘電層が導電層とバイアとを分離する。素子の形状が縮小し、密度が高まると共に、隣接する相互接続線間のキャパシタンスとクロストークがより大きな問題となる。

【0003】 標準的には、誘電層は二酸化シリコンを含んでいる。二酸化シリコンの代わりに誘電率が低い材料、すなわち誘電率が4未満の材料を使用する試みが従来からなされてきた。誘電率が低いほど、絶縁体が良好になり、ひいては密接した相互接続線間のキャパシタンスが低くなる。誘電率が約3.5未満である誘電材料では、標準的なサブミクロン回路の相互接続線間のキャパシタンスが十分に低下する。

【0004】 残念なことに、誘電率が低い材料は機械的な強度が低く、寸法安定性が低い。これらの特性によって、誘電率が低い材料を貫いてバイアを形成する際に特別な加工ステップが必要になる。バイアの有孔側壁によって、障壁およびシード層の蒸着中に安定性および粘着の問題が生ずることがある。このような問題点に対する1つのアプローチは、バイアのエッチングと清掃の後、障壁とシード層の蒸着の前に、被覆層蒸着ステップを実施することである。

【0005】 被覆層の蒸着は、バイアの有孔側壁上に層

を形成してバイアを絶縁保護(makeconformal)するものである。この層は側壁の有孔開口部を充填し、ひいては障壁とシード層との蒸着時にこれらを絶縁保護することができる。残念なことに、半導体素子の製造時には、被覆層の蒸着には追加の加工ステップが加わる。前述のように、この追加ステップはバイアの側壁の被覆層がエッチングされ、清掃された後に実施される。被覆層蒸着ステップ中に、バイアの底部も被覆される。その結果、バイアの底部をエッチングし、清掃するための別の加工ステップが必要になる。

【0006】

【発明が解決しようとする課題】 従って、本発明の目的は、上述の背景にかんがみ、誘電率が低い材料を貫いて形成されるようなバイア（通路）を有する半導体素子の製造時に、加工ステップの数を減らすことにある。

【0007】

【課題を解決するための手段】 本発明に基づき、上記の、およびその他の利点および特徴は、基板の近傍に第1導電層を形成するステップと、第1導電層上にエッチング停止層を形成するステップと、エッチング停止層上に誘電層を形成するステップとを含む半導体素子の製造方法によって達成される。誘電層は好適には誘電率が低い材料を含み、バイアは誘電層を貫いて形成されて底部でエッチング停止層を露出させ、バイアの有孔側壁が形成される。この方法は更に、露出したエッチング停止層をエッチング剤を使用してエッチングし、一方でエッチング剤がエッチング停止層からエッチングされた材料と協同して、バイアの有孔側壁を被覆するポリマー層を形成するステップを含んでいる。

【0008】 ポリマー層は有利にはバイアの形成と共に現場で形成され、ひいては誘電率が低い材料を貫いてバイアが形成される半導体素子の製造時の加工ステップの数が少なくとも1つは減少する。バイアの有孔側壁を被覆するポリマー層を形成するためにエッチング剤は、エッチング停止層からエッチングされた材料と協同するので、バイアがエッチングされ、清掃された後は別個の被覆層蒸着ステップは必要なくなる。

【0009】 この方法は好適には、バイアの底部からポリマー材料をエッチングし、ひいてはバイアを清掃するステップを更に含んでいる。エッチング剤は好適にはモノフルオロメタン、ジフルオロメタン、およびトリフルオロメタンの少なくとも1つを含む。ポリマー層の形成を制御するために、エッチング剤は好適には更に所定量のアルゴンおよび酸素を含んでいる。

【0010】 誘電層は好適には誘電率が約4未満である材料を含む。誘電率が低いほど、間隔が密接した相互接続線間のキャパシタンスは低くなる。この方法は好適には更にバイアの底部からポリマー材料をエッチングするステップを含んでいる。

【0011】 側壁が被覆され、ポリマー材料がバイアの

底部から除去された後、この方法は更に、ポリマー層上に障壁金属層を形成し、障壁金属層上にシード層を形成するステップを含んでいる。シード層には第1導電層と接触する第2導電層が形成される。

【0012】本発明の別の態様は、第1導電層上のエッチング停止層と、第1導電層上の誘電層とを含む半導体素子内のバイアの有孔側壁にポリマー層を形成するための方法に関する。この方法に好適には、誘電層を貫いてバイアを形成して、底部でエッチング停止層を露出させ、有孔側壁を形成し、かつ露出したエッチング停止層を該エッチング停止層からエッチングされた材料と協同するエッチング剤を使用してエッチングし、バイアの有孔側壁を被覆するポリマー層を形成するステップとを含む。

【0013】

【発明の実施の形態】ここで、本発明の好適な実施例が示されている添付図面を参照し、本発明を以下により詳細に説明する。しかし、本発明は他の多くの形態で実施してもよく、本明細書で述べる実施形態に限定されるものとして解釈されるべきではない。むしろ、これらの実施形態は本開示をより完全で完璧なものにし、当業者に発明の範囲を十分に伝達するために提示されるものである。本明細書全体を通して同一の番号は同一の素子を示す。より明解にするために層および領域のサイズは図面では誇張されている。

【0014】本発明に基づく半導体素子10の製造方法を図1-6を参照して説明する。開始(ブロック20)から、ブロック22に示され、図2に示すように、導電層50が基板52の近傍に形成される。導電層50は、通常は、当業者には容易に理解されるように、物理的な蒸着技術によって蒸着される。基板52はシリコンを含む半導体基板、または基板上に形成されたシリコン、またはポリシリコン層である。トランジスタ(図せず)のような複数の素子が公知の技術を利用して基板52内に形成される。銅はアルミニウムよりも抵抗が低く、それによって半導体素子10のRC時間定数が改善されるので、導電層50は好適には銅を含む。しかし、銅に加えて、当業者には容易に理解されるように、アルミニウム、またはその合金を使用することもできる。図2に示すような相互接続レベルを形成するために、導電層50は当業者には容易に理解される技術によってパターン形成、およびエッチングしてもよく、または、これも当業者には公知のダマスコ(damascene)または二重ダマスコ技術を用いて形成してもよい。

【0015】ブロック24に示し、図2に図示するように、化学蒸着を利用して導電層50上にエッチング停止層54が形成される。エッチング停止層54は好適には窒化シリコン Si_3N_4 を含み、後に詳述するように、エッチング停止層上の誘電層56を貫いて、バイア12が形成される場合に(図3を参照)、導電層50がエッチ

ングされることが防止される。加えて、エッチング停止層54は、導電層50が誘電層56内に上方に拡散して、レベル間、またはレベル内の短絡を誘発することを防止する拡散障壁でもある。最悪の場合は、銅が半導体素子10上に形成されたトランジスタの能動領域(すなわちソース、ゲート、およびドレン)へと移動することがある。誘電層56の絶縁特性が変化し、その結果、密接な間隔を隔てた相互接続線間のキャパシタンスが増大するであろう。

【0016】ブロック26に示し、図2も図示されているように、誘電層56は化学蒸着を利用してエッチング停止層54上に形成してもよく、またはスピンオン方式で溶着してもよい。誘電層56は好適には誘電率が低い、すなわち4未満である材料を含む。誘電率が低いほど、密接な間隔を隔てた相互接続線間のキャパシタンスは低くなる。誘電率が3.5未満である誘電材料は、当業者には容易に理解されるように、標準的なサブミクロン回路中の相互接続線間のキャパシタンスを十分に低減する。

【0017】誘電層56は好適には誘電率が低いポリシルセスキオクサン(polysilsesquioxane)、バリレン、ポリイミド、ベンゾシクロブタン、および非晶質テフロン(登録商標)のようなポリマー材料を含む。他の好適な材料としては、標準的にはテトラエチル・オルト珪酸塩原剤のゼラチンから製造されるエアロゲルまたはキセロゲルがある。本発明に基づく方法の1つの実施形態では、誘電層56はスピンオン方式によって被覆される。スピンオン方式では、誘電率が低い材料がエッチング停止層54上に液相で滴下され、材料は表面上で分散する。

【0018】図2に更に示すように、化学蒸着を利用して保護層58が誘電層56上に蒸着される(ブロック28)。保護層58は、バイア12が形成される際に、誘電層56の望まない部分がエッチングされることが確実にないようにするマスクとしての役割を果たす。加えて、誘電率が低い材料は機械的な強度が低く、寸法安定性が悪いので、保護層58は誘電層56内の核形成と微細亀裂の伝搬を防止する。

【0019】保護層58は稠密プラズマ二酸化シリコン SiO_2 、窒化シリコン Si_3N_4 またはその他の適宜の誘電体でよい。誘電率が低い珪酸塩材料の場合は、化学蒸着された二酸化シリコンの保護層が好適であるが、その理由は、これがバイア12の形成時に誘電層56を貫いてエッチングするために使用されるものと同じCFベースの化学薬品を使用するからである。保護層58の厚さは、好適には約10ないし300nmの範囲内にあり、好適には約50nmである。

【0020】フォトレジスタ層60は図2に示すように保護層58上に溶着される(ブロック30)。フォトレジスタ層60は適宜の波長のUV光線に露曝することに

よってパターン形成される。パターン形成されたフォトレジスタ層60は誘電層56を貫いて形成されるバイア12に対応する開口部62の境界を形成する。

【0021】上記の層の溶着が終了した後、この方法は更にブロック32に示し、図3に図示するように、保護層58と誘電層56とを貫いてバイア12を形成し、バイアの底部でエッチング停止層54を露出させるステップを含んでいる。保護層56を貫くエッチングは、当業者には容易に理解されるように、例えば CF_4 、 C_4F_8 、または C_2F_6 のようなフッ化炭素ガスを含むエッチング・ガスを使用して実施してもよい。エッチング・ガスを CHF_3 と混合してもよい。誘電層56は N_2H_2 を使用してエッチングしてもよい。これらのエッチング・ステップの双方とも反応性イオン・エッチングを利用して行ってもよい。

【0022】前述したように、一般に、誘電率が低い材料は残念ながら機械的強度が低く、寸法安定性に乏しい。その結果、誘電率が低い材料を貫いてバイア12が形成される際に、バイアの側壁16は多孔性になる。それによって障壁およびシード層の蒸着中に安定性、および付着の問題が生ずることがある。

【0023】誘電層56がエッチングされて、エッチング停止層54の上表面が露出された後、露出したエッチング停止層がエッチングされ（ブロック34）、一方で図4に示すように、エッチング剤がエッチング停止層からエッチングされた材料と協同して、バイア12の有孔側壁16を被覆するポリマー層64を形成する。エッチング剤はエッチング停止層54の破片をエッチングで除去し、これらの破片がエッチング剤に含まれているガス成分と反応して、バイア12の側壁16上にポリマー層64を形成する。

【0024】ポリマー層64はバイア12の側壁16内の有孔開口部を充填し、ひいては側壁を絶縁保護可能となる。この層64によって障壁およびシード層は蒸着時に絶縁保護される。ポリマー層64は有利にはバイア12の形成と共に現場で形成され、ひいては、誘電率が低い材料を貫いて形成されるバイアを有する半導体素子10の製造時に加工工程のステップの数を少なくとも1つは減少する。エッチング剤はエッチング停止層54からエッチングされた材料と協同してバイア12の有孔側壁16を被覆するポリマー層64を形成するので、バイアがエッチングされ、清掃された後には別個の被覆層溶着ステップは必要ない。

【0025】エッチング剤はジフルオロメタン CHF_2 、モノフルオロメタン CHF 、およびトリフルオロメタン CF_3 の少なくとも1つを含む。ポリマーの形成量を制御し、臨界サイズを保つために、エッチング剤に所定量のアルゴンおよび酸素を添加してもよい。ポリマー層64の厚さは好適には約10ないし100nmの範囲にある。エッチング剤には更に上記のようなフッ

化炭素ガスを混合してもよい。

【0026】ジフルオロメタン CHF_2 、モノフルオロメタン CHF 、およびトリフルオロメタン CF_3 のエッチング剤の流量は好適には約25〜75sccmの範囲にある。アルゴンと酸素の流量は当業者には容易に理解されるように、バイア12のサイズと、ポリマー層64の所望の厚さによって左右される。アルゴンの流量は標準的には約75〜125sccmの範囲にあり、酸素の流量は約25sccm未満でよい。反応性イオン・エッチング室の圧力は、電力レベルが約500〜700ワットの範囲で、約30〜70mトルの範囲にすることができる。

【0027】ポリマー材料の幾つかはバイア12の底部で再蒸着されるので、この方法はブロック36に示すように、更にバイアの底部からポリマー材料をエッチングするステップを含んでいる。ここで図5を参照すると、バイア12の底部は清浄であり、銅の導電層50は反応性イオン・エッチングを利用して露出される。エッチングは異方性で行われるので、バイア12の側壁16上のポリマー層64は除去されない。

【0028】バイア12の底部からポリマー材料を除去することに加えて、保護層58上のフォトレジスト層60も除去される。当業者には容易に理解されるように、プラズマ抵抗剥離リアクタを使用してもよい。エッチング後の、このフォトレジスト層60の除去および清掃プロセス中に、水素含有ガス（例えば水、成形ガス）および NF_3 または CF_4 のようなフッ化ガス、および低比率の酸素を利用して、フォトレジスト層60を除去することができる。その結果、バイア12の底部で金属面が清掃される一方、ポリマー層64はバイア12の側壁16から除去されない。

【0029】エッチングおよび清掃ステップは好適には、イオンの方向性を高めるために低圧および高出力で実施される。当業者には容易に理解されるように、二重ソース（マイクロ波およびRIE）装置、または誘導結合されたプラズマ・フォトレジスト剥離ツールを使用することができる。水素はフォトレジストを剥離し、金属の酸化を抑制する。少量の O_2 を含むことで、金属の酸化を回避しつつフォトレジストの剥離が促進され、F基の存在によって、フォトレジストの除去速度と、バイア12の底部での露出した金属面の清掃が促進される。露出した金属面を清浄に保ち、酸化層の形成を回避することで、バイア接触抵抗を低くすることができる。従来のバイア清掃の場合のような溶剤の使用は、これがバイア12の側壁16を横方向から浸食する場合があるので、適当ではないことがある。それによって、障壁金属層およびシード層が蒸着される際に問題を生ずることがある。

【0030】この方法は更に、好適には図6のブロック38、40、42に示すように、バイア12の側壁16

【００３１】本発明の別の態様は、導電層５０上にエッチング停止層を含み、また第１導電層上に誘電層５６を含む半導体素子１０内のバイア１２の有孔側壁１６にポリマー層６４を形成する方法にも関する。この方法は、好適には、誘電層５６を貫いてバイア１２を形成して底部でエッチング停止層５４を露出させ、かつ有孔側壁１６を形成するステップと、露出したエッチング停止層を

【００３２】前述の説明と関連図面の教示内容を参照した当業者には、本発明の多くの修正およびその他の実施形態が想起されよう。従って、本発明は開示した特定の実施形態に限定されるものではなく、上記の修正および実施形態は添付の特許請求の範囲の内に含まれることを意図するものである点を理解すべきである。

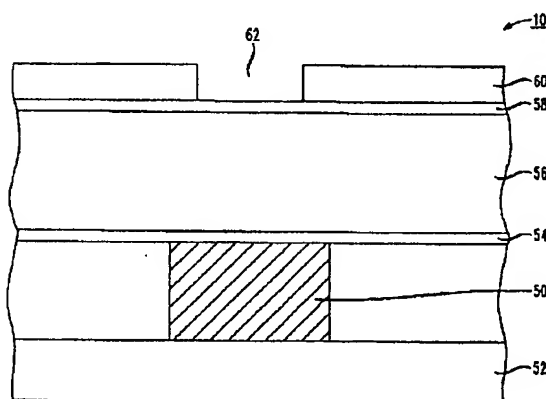
【図１】本発明に基づいてバイアの側壁にポリマー層を形成する方法を示したフローチャートである。

【図3】本発明に基づく加工工程のステップを示した、半導体素子の断面図である。

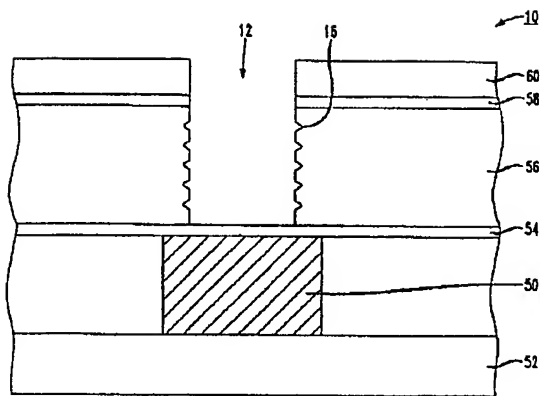
【図5】本発明に基づく加工工程のステップを示した、半導体素子の断面図である。

【図6】本発明に基づく加工工程のステップを示した、半導体素子の断面図である。

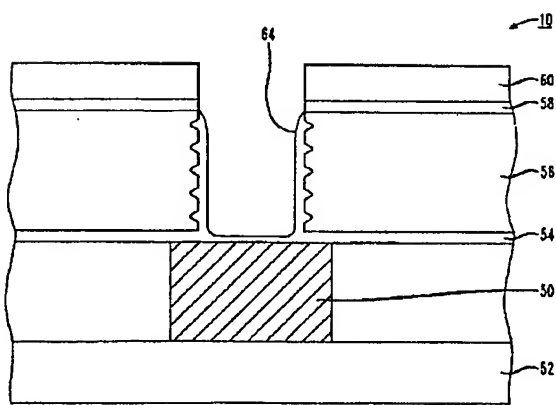
【図2】



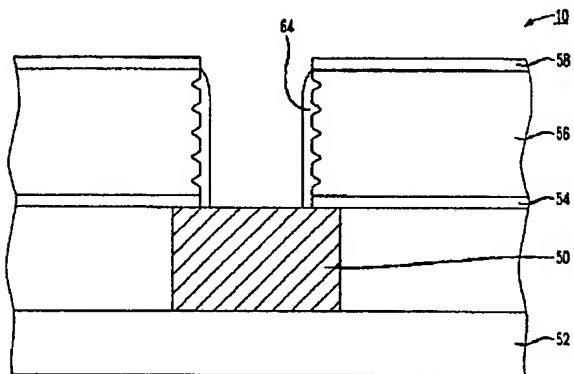
【図3】



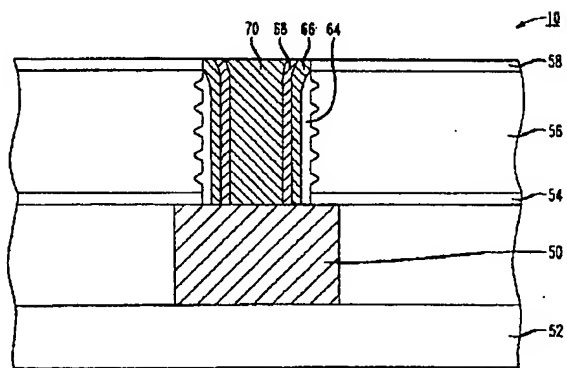
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 サイレッシュ マンシン マーチャント
アメリカ合衆国 32835 フロリダ, オー
ランド, ヴァインランド オークス ブウ
ルヴァード 8214

(72)発明者 シモン ジョン モロイ
アメリカ合衆国 32824 フロリダ, オー
ランド, ハートフォードシャイア ウェイ
11871

(72)発明者 プラディップ クマール ロイ
アメリカ合衆国 32819 フロリダ, オー
ランド, ヒドゥン アイヴェイ コート
7706